

[統葉有]



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

データのプリフェッチを行う場合、先行してアクセスしたデータが無駄になり、メモリの効率が低下する場合がある。

連続的にアクセスするデータを格納する領域と連続的にアクセスしない領域毎にプリフェッチを制御するため、メモリを複数の領域に分割し、分割した領域毎にメモリコントローラがプリフェッチを行うか否かを決めるレジスタを設ける。連続的にアクセスするデータを格納する領域のモードレジスタはプリフェッチ動作モードに、連続的にアクセスしない領域のモードレジスタはプリフェッチ非動作モードに設定する。

本発明を適用すると、メモリのプリフェッチが必要な領域へのアクセス時にのみメモリコントローラがプリフェッチを行うため、メモリの効率が向上する。

明 細 書

メモリ制御装置

技術分野

本発明はデータ処理装置に関し、特にメモリからのプリフェッチを行うメモリ制御装置のプリフェッチ制御に関する。

背景技術

計算機分野において、一般的なプログラムでは一度アクセスしたデータを再度利用する傾向が高く、また、一度アクセスされたデータの近傍にあるデータも参照される傾向がある。これらの傾向は、局所参照性と呼ばれている。多くの計算機では、この局所参照性を活用し、メモリアクセスの待ち時間を減らす目的で、キャッシュメモリと呼ばれる高速なメモリをCPUとメモリの間に配置している。このキャッシュメモリには最近アクセスしたメモリの写しを持ち、メモリに対してアクセスする代わりにメモリよりアクセスが高速なキャッシュメモリに対してアクセスすることで、メモリアクセスの待ち時間を減らし、処理性能の向上を図っている。

キャッシュメモリを管理するキャッシュコントローラは、CPUが処理するデータサイズの n 倍の単位でキャッシュメモリに記憶されている内容が有効、無効を管理している。このキャッシュメモリを管理する単位をキャッシュラインと呼ぶ。32ビットアーキテクチャのCPUの場合、このキャッシュラインは4バイトの n 倍となり、通常16, 32, 64, 128バイトといった値となっている。また、キャッシュコントローラが行うメモリからキャッシュメモリへの転送は、管理単位である

キャッシュライン単位で行っている。

一方、メモリには、DRAMやシンクロナスDRAMが使われている。DRAMやシンクロナスDRAMは格子状に記憶素子が構成されており、各記憶素子へは行と列を指定してアクセスを行う。これらのメモリにおいては、同一行内の異なる列に対するアクセス時間は、行を指定してから列を指定するアクセス時間に比べ短い。DRAMの場合、この同一行で異なる列の記憶素子を連続してアクセスする方式をページモードアクセスと呼び、シンクロナスDRAMの場合バーストモードアクセスと呼ぶ。

CPUが処理を行う上で必要な命令やデータがキャッシュメモリ上に存在しない場合をキャッシュミスと呼ぶ。キャッシュミスが発生すると、キャッシュコントローラは、メモリからキャッシュラインサイズ分のデータを連続的に読み出す。この読み出す動作をキャッシュフィル動作と呼ぶ。メモリコントローラは、CPUからメモリへのリードアクセスが発生すると、キャッシュミスが生じキャッシュフィル動作が発生したと仮定し、ページモード、又は、バーストモードでメモリからデータを先行して読み出している。読み出したデータは、メモリコントローラ内のバッファに格納する。この動作をプリフェッチと呼ぶ。

このプリフェッチ動作を制御する技術として、日本国特開平10-55307号に記載の技術が挙げられる。日本国特開平10-55307号では、CPUにおいて、メモリに対する要求が命令に対する要求であるかデータに対する要求であるかを示す制御信号を生成している。この制御信号に従い、メモリからキャッシュメモリにプリフェッチされるデータ量を判断するプリフェッチ論理回路を組み込むことにより、不必要なメモリアクセスを低減し、メモリシステムの効率を向上させている。

また、日本国特開平5-271673号では、キャッシュメモリに一旦プリフェッチされたデータのリプレースを制御することにより、キャッシュを効率的に使用する技術が開示されている。

日本国特開平10-55307号は、命令に対するメモリアクセス（命令フェッチ）とデータに対するメモリアクセス（データフェッチ）の違いにより、メモリからのプリフェッチされるデータ量を変えることでメモリシステムの効率化を図っている。しかし、日本国特開平10-55307号では、命令に対する要求であるかデータに対する要求であるかを示す制御信号によりプリフェッチを制御しているが、計算機が処理するデータには、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッチを行うことが有効なデータと、I/Oや他のCPUとデータを受渡しするためのデータや、処理するデータサイズが小さくプリフェッチを用いると不必要なメモリアクセスが多発するデータなどの、プリフェッチが有効に働かないデータがある。このようにデータと言っても、プリフェッチを行うと性能が向上する場合のデータと、逆にプリフェッチを行うことにより性能が低下する場合があるため、データアクセスであるからという理由だけで、メモリからプリフェッチするデータ量を決めてしまうと、メモリシステムのアクセス効率を向上させることは難しい。

一方、日本国特開平5-271673号では、キャッシュのエントリ単位にプリフェッチの有無並びにリプレースを制御しているが、予めプリフェッチ要のデータに対応したエントリのアドレスを登録しておく必要があり、またプリフェッチの要・不要も細かく指定する必要があり、メモリからプリフェッチされるデータ量を変更することが難しい。

本発明の課題は、データの使われ方に対応してメモリからプリフェッ

チされるデータ量を変更可能にすることにより、メモリシステムの効率を向上させることである。

発明の開示

メモリのアドレス空間を複数の領域に分割し、更に、分割した領域毎に、メモリコントローラがプリフェッチを行うか否かを決めるモードレジスタをメモリコントローラに設ける。メモリコントローラでは、このモードレジスタに従い、CPUがアクセスするメモリのアドレスが含まれる領域毎にプリフェッチ機能を動作させ、メモリからデータをアクセスする。

処理を行うプログラムにおいては、プリフェッチを行うことが有効なデータを格納する領域のモードレジスタをプリフェッチ動作モードに設定し、プリフェッチを用いると不必要なアクセスが多発するデータを格納する領域のモードレジスタをプリフェッチ非動作モードに設定する。

これにより、連続的にデータを読み出す場合は、プリフェッチ機能を動作させ、先行して連続的にデータを読み出し、単発でアクセスするデータに対しては、プリフェッチを行うことにより生じる不必要なデータ読み出しを生じさせないようにプログラムから制御することが可能になり、メモリアクセス効率が向上する。

図面の簡単な説明

第1図は、本発明の実施の形態におけるデータ処理装置の構成を示すブロック図である。

第2図は、プリフェッチ状態管理部の構成を示すブロック図である。

第3図は、本発明の実施の形態における計算機の動作を示すタイミン

グチャートである。

第4図は、状態管理部の状態遷移を示す図である。

第5図は、メモリシーケンサの動作を示す状態遷移図である。

第6図は、モードレジスタを設定する機能を備えた計算機の構成図である。

第7図は、アクセス監視部の構成図である。

第8図は、連続アクセス判定論理の状態遷移を示す図である。

発明を実施するための最良の形態

本発明の実施の形態を図面を用いて以下に説明する。

第1図は、本発明の一実施で、本発明を適応した計算機やプログラマブル・コントローラに代表される、データ処理装置のメモリ制御に関連する部分の構成を示すブロック図である。CPU1は、高速アクセス可能なメモリで構成したキャッシュメモリ20を備えている。キャッシュメモリ20には、DRAM7の内容の写しを格納するが、命令とデータの区別はしていないものとする。本実施の形態においては、CPU1は32ビットアーキテクチャであるものとし、アドレスバスADDRと4バイト幅のデータバスDAT、バスの開始を示すバススタート信号BS_—、アクセス空間を示す信号で通常複数接続した記憶素子を選択するためのチップセレクト信号CS0_—、CS1_—、CS2_—を計3本備え、また、リードデータが無効の間、CPU1を停止させる手段として、ウェイト信号WAIT_—の各端子を備えているものとする。なお、信号名の最後の“_—”は、信号がローアクティブであることを示している。

メモリであるDRAM7はページモードでアクセス可能なDRAMであり、行アドレスセレクト信号RAS_—と列アドレスセレクト信号

CAS_{__}の動作で、アドレスバスAに出力された行アドレスと列アドレスに対応したリードデータを4バイト幅のデータバスDに出力する機能を備えている。メモリコントローラ2は、プリフェッチ状態管理部5、メモリシーケンサ4、プリフェッチバッファ6、セクタ11で構成されている。

CPU1は、処理に必要な命令又はデータがキャッシュメモリ20に存在しない場合、メモリコントローラ2を介してDRAM7からデータを読み出す。この時、バススタート信号BS_{__}を1サイクルアサートする。バススタート信号BS_{__}のアサートと同時に、処理に必要な命令／データが格納されているアドレスをアドレス信号ADDRに出力する。更にこの時、この命令／データが格納されているメモリのアドレス領域を示すチップセレクト信号CS0_{__}、CS1_{__}、CS2_{__}の何れか1信号をアサートするものとする。バススタート信号BS_{__}、チップセレクト信号CS0_{__}、CS1_{__}、CS2_{__}は、メモリコントローラ2のプリフェッチ状態管理部5に入力される。プリフェッチ状態管理部5は、チップセレクト信号CS0_{__}、CS1_{__}、CS2_{__}のそれぞれが対応するアドレス領域に対して、DRAM7からデータをプリフェッチするか否かという2つのモードを制御するモードレジスタ8を備えている。即ち、本実施の形態では、プリフェッチを制御する領域の単位は各チップセレクト空間毎ということになる。

プリフェッチ状態管理部5はこのモードレジスタ8の値に従い、メモリシーケンサ4、プリフェッチバッファ6、出力セクタ11を制御する。プリフェッチ状態管理部5からは、メモリシーケンサ4への起動信号REQ、起動信号REQによって要求したメモリアクセスがプリフェッチアクセスであるか否かを示すプリフェッチアクセス信号PRFが出

力される。また D R A M 7 からデータバス D に有効なデータを出力していることを示すデータバリッド信号 D V が入力される。

メモリーセンサ 4 は、プリフェッチ状態管理部 5 からの起動信号 R E Q とプリフェッチアクセス信号 P R F に従い、行アドレスセレクト信号 R A S _ と列アドレスセレクト信号 C A S _ を制御して、D R A M 7 からデータを読み出す制御を行う。このメモリーセンサ 4 は、行・列アドレス生成部 5 1 を備えている。行・列アドレス生成部 5 1 は、C P U 1 からのアドレス A D D R に従い行アドレスと列アドレスを生成し、メモリーセンサ 4 が出力する行アドレスセレクト信号 R A S _ と列アドレスセレクト信号 C A S _ の制御タイミングと同期してアドレスバス A に行アドレス・列アドレスを出力する。

プリフェッチ状態管理部 5 は、プリフェッチバッファ 6 にデータをセットするプリフェッチバッファデータセット信号 P B S E T と、出力セクタ 1 1 の出力を選択する出力セクタ選択信号 O P S E L により、プリフェッチバッファ 6 と出力セクタ 1 1 を制御している。プリフェッチバッファ 6 は、1 回のプリフェッチで先読みするデータを格納するため、4 段のバッファから構成されている。本実施の形態においては、1 回のプリフェッチはキャッシュ 2 0 の 1 エントリに格納されるデータ数であるキャッシュライン分のデータを先読みするものとする。そして 1 キャッシュラインは、3 2 ビット (4 バイト) データ 4 個分の 1 6 バイトであるものとする。従って、プリフェッチバッファの各段には、3 2 ビットデータ 1 つが格納されることになる。なおこのキャッシュラインのデータサイズはキャッシュの構成によって変わるものであり、本発明においてプリフェッチするデータサイズが 1 6 バイトに制限されるものではない。

また、プリフェッチ状態管理部 5 は、プリフェッチバッファデータセット信号 P B S E T の値に従い、D R A M 7 がデータバス D に出力したデータを任意の段のバッファにセットする機能を備えている。具体的には、プリフェッチバッファデータセット信号 P B S E T が 0 のとき、D R A M 7 が出力するデータを 1 段目のバッファにセットし、信号 P B S E T が 1 のとき、D R A M 7 が出力するデータを 2 段目のバッファにセットし、信号 P B S E T が 2 のとき、3 段目のバッファに D R A M 7 が出力するデータをセットし、信号 P B S E T が 3 の場合には、D R A M 7 が出力するデータを 4 段目のバッファにセットする。また、全てのバッファに格納されているデータは、すべて出力セクタ 1 1 に出力されている。

出力セクタ 1 1 は、D R A M 7 が出力するデータとプリフェッチバッファ 6 が出力するデータを、出力セクタ選択信号 O P S E L の値に従って選択し、プロセッサデータバス D A T に出力する。具体的には、信号 O P S E L が 0 のとき、プリフェッチバッファ 6 の 1 段目をプロセッサデータバス D A T に出力し、信号 O P S E L が 1 の時には 2 段目のバッファ、信号 O P S E L が 2 の時は 3 段目のバッファ、信号 O P S E L が 3 のとき、4 段目のバッファの値を各々プロセッサデータバス D A T に出力する。

C P U 1 が実行するソフトウェアでは、データが以下の 2 つに分類されるものとする。1 つは、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッチを行うことが有効なデータと、もう 1 つは、I / O とデータを受渡しするためキャッシュメモリが使用できないデータや、処理するデータのサイズが小さいためプリフェッチを行うと不必要なメモリアクセスが多発するデータであ

る。このような分類は、プログラムを作成する時にプログラム作成者が予め行うものとする。そして、プログラムをコンパイルしリンクする時に、プリフェッチを行うことが有効なデータを格納するD R A M 7の領域と、プリフェッチを行うと不必要なアクセスが多発するデータを格納するD R A M 7の領域を異なるチップセレクト空間に配置する。また命令は、プリフェッチを行うことが有効なデータを格納する領域に配置する。

プログラムの初期化ルーチンにおいては、プリフェッチが有効なデータを格納する領域を示すチップセクタ信号に対応したモードレジスタ8をプリフェッチアクセス可能モードに設定し、プリフェッチが不必要なデータを格納する領域を示すチップセクタ信号に対応するモードレジスタ8をプリフェッチアクセス禁止モードに設定する。モードレジスタ8の値の設定手段は特に図示されていないが、ハードウェアによって決まるレジスタ空間内の特定のアドレスに対するC P U 1からのアクセスによって行われる。

モードレジスタ8は、チップセレクト空間毎に独立してチップセレクト信号の数だけ独立したレジスタとして、又はレジスタファイルの形で備えてもよいが、本実施の形態においては、チップセレクト空間毎にプリフェッチの可否を識別できればよいので、チップセレクト空間毎に1ビットの状態を記憶できる回路を設けても良いが、以下の説明では、少なくともチップセレクト信号数のビット幅を持った1つのレジスタの1ビット毎にチップセレクト空間を対応させることとして説明を行う。そして、モードレジスタ8の各ビットの値0 / 1を調べることにより、対応するチップセレクト空間におけるアクセスの際のプリフェッチの可否を判断するものとする。

第2図は、プリフェッチ状態管理部5の構成を示したブロック図である。第2図を用いてプリフェッチ状態管理部の詳細な機能を説明する。プリフェッチ状態管理部5は、状態管理部52、バッファ管理部53、アクセス判定部56、モードレジスタ8、比較器54とアドレスバッファ55から構成される。アクセス判定部56は、CPU1から出力されるチップセレクト信号CS0_—、CS1_—、CS2_—とモードレジスタ8の値を入力とし、プリフェッチ可否判定結果信号JUGを出力する。プリフェッチ可否判定結果信号JUGは、チップセレクト信号CS0_—、CS1_—、CS2_—とそれぞれのチップセレクト信号に対応するモードレジスタ8の設定値の論理積をとり、その結果の論理和をとったものである。プリフェッチ可否判定結果信号JUGは、現在アサートしているチップセレクト信号が示すメモリ領域がプリフェッチ可能に設定しているかプリフェッチ禁止に設定しているかを示し、プリフェッチ可能ならアサート、プリフェッチ禁止ならネゲートとなる信号である。

アドレスバッファ55は、状態管理部52からのアドレスバッファセット信号ABSETがアサートされると、CPU1のアドレスバスADDRの値を保持するバッファである。比較器54は、アドレスバッファ55とCPU1のアドレスバスADDRの値を比較し、アドレスバッファ55の値とCPU1のアドレスバスADDRの値の各々下位4ビットを除く値が一致している場合、比較結果信号HITをアサートし、不一致ならネゲートする。ここで、下位4ビットを除いて値を比較するのは、一度にプリフェッチするデータが16バイトでありアドレスとしては下位4ビットの範囲に相当することから、同じプリフェッチ範囲のアドレスに対してアクセスしているかどうかを判定するために下位4ビットを除いてアドレス比較を行っている。

状態管理部52は、CPU1の出力信号であるバススタート信号BS_—と、アクセス判定部56の判定結果であるプリフェッチ可否判定結果信号JUG及び、メモリシーケンサ4からのデータバリッド信号DVを入力として内部状態が遷移する状態遷移ブロックである。状態管理部52からは、その内部状態の遷移に従い、起動信号REQとプリフェッチアクセス信号PRFとアドレスバッファセット信号ABSETとウェイト信号WAIT_—を出力し、更に、状態管理部52の内部状態を状態信号STに出力している。

第4図にこの状態管理部52の状態遷移図を示す。状態100は、第1図のプリフェッチバッファ6に格納しているデータが無効であることを示している状態である。状態101はプリフェッチアクセス信号PRFによりプリフェッチの開始を指示し、一番最初のデータの準備ができるまでのウェイト状態である。同様に状態102は、プリフェッチを開始し2つ目のデータをウェイトしている状態である。状態103、104も同様にそれぞれ3つ目、4つ目のデータをウェイトしている状態である。本実施の形態では1回のプリフェッチで4つのデータを先読みするため、各々のデータの準備ができるまで一旦ウェイトする状態が4つあることになる。状態106は、プリフェッチが開始されプリフェッチバッファ6に有効なデータが4つ格納されたことを示す状態である。これに対し、状態105は、プリフェッチアクセスを実行せずにCPUが要求しているデータのみをアクセスしていることを示す単発アクセス状態である。従って、起動信号REQは状態101、102、103、104及び105の時にアサートされ、プリフェッチアクセス信号PRFは、状態101、102、103、104の時にアサートされ、メモリシーケンサ4に伝えられる。又、状態100から状態101へ、状態100

から状態105へ、状態106から状態101へ、そして状態106から状態105へと遷移する時、即ちプリフェッチ開始を指示するか単発アクセスを行う際に、アドレスバッファセット信号ABSETをアサートし、アドレスバッファ55にCPU1のアドレスバスADDRの値を保持させる。

これらはプリフェッチの状態に関する内部状態であるが、これらの内部状態とは別にCPUからの要求状態を示す内部状態として状態107、108がある。状態107は、CPUからのアクセス要求が受付可能な状態である。状態108はCPUが要求しているデータの準備ができていないため、CPUをデータ待ちにしていることを示す状態である。ウェイト信号WAIT_は状態107から状態108へ遷移する時と状態108のときアサートされ、CPU1に通知される。

次に、各状態の遷移を説明する。状態管理部52の初期状態は、まだ一度もCPU1からのアクセス要求がなく、プリフェッチされたデータもなく、いつでもCPU1からのアクセス要求を受け付けられる状態にあるため、状態100及び状態107にある。

まず、プリフェッチに関する状態の遷移としては、状態100から状態101へ遷移する遷移条件は、バススタート信号BS_がアサートであり、かつプリフェッチ可否判定結果信号JUGがアサートされることである。即ち、CPU1からのアクセス要求が発生し、アクセスで指示されたアドレスを含むチップセクタ空間に対応したモードレジスタ8の値がプリフェッチを行う状態を示している場合である。これに対し、状態100から状態105へ遷移する遷移条件は、バススタート信号BS_がアサートであり、かつプリフェッチ可否判定結果信号JUGがネゲートの場合である。状態101から状態102、状態102から状

態 103, 状態 103 から状態 104, 状態 104 から状態 106, 状態 105 から状態 100 へ遷移する条件は、メモリシーケンサ 4 からのデータバリッド信号 DV がアサートである。即ち、各データ要求に対して出力されるメモリからのデータが有効になった場合である。状態 106 から状態 101 へ遷移する遷移条件は、バススタート信号 BS_ がアサート又は状態 108 であり、かつ、比較結果信号 HIT がネゲート、かつ、プリフェッチ可否判定結果信号 JUG がアサートである。即ち、CPU1 からのアクセスが発生し、アドレスバッファ 55 に格納されているこれまで先読みしていたアドレスの範囲と今度のアクセスのアドレスが重ならず、かつ、今度のアクセスがプリフェッチを行う領域に対するアクセスの場合である。一方、状態 106 から状態 105 へ遷移する遷移条件は、バススタート信号 BS_ がアサート又は状態 108 であり、かつ、プリフェッチ可否判定結果信号 JUG がネゲートの場合である。これは、状態 100 から状態 105 へ遷移する遷移条件と同じで、CPU1 からのアクセスが発生し、かつアクセスがプリフェッチを行わない領域に対するものであった場合である。

次に、状態 107 から状態 108 への遷移条件は、1) バススタート信号 BS_ がアサートでプリフェッチ可否判定結果信号 JUG がネゲートであるか、又は、2) 比較器 54 の比較結果信号 HIT がアサートでプリフェッチ可否判定結果信号 JUG がアサート、かつ状態 101, 102, 103, 104 のいずれかの状態であり、なおかつ CPU1 の ADDR と現在の状態により読み出すデータがプリフェッチバッファ 6 にセットされていないと判定された場合、のいずれかである。CPU1 が読み出すデータがプリフェッチバッファ 6 にセットされているかどうかは、例えば、内部状態が状態 102 であれば、アドレスバッファ 55

の示すアドレスに格納されている値がプリフェッチバッファ6に既にセット済であるかどうかにより判別することができる。また、内部状態が状態102であれば、アドレスバッファ55の示すアドレスとアドレスバッファ55の示すアドレスの次に格納されている値がいずれもプリフェッチバッファ6に既にセット済であるかどうかにより判別することができる。他の状態についても、同様にして判別が可能である。状態108から状態107への遷移条件は、必要なデータがプリフェッチバッファ6にセットしてあるか、又は、状態105でデータバリッド信号DVがアサートである。

バッファ管理部53は、前述の状態管理部52の内部状態を示す状態信号STと、CPU1からのアドレスバスADDRの下位4ビットと、比較器54の比較結果信号HITとを入力とし、プリフェッチバッファ6にデータをセットするプリフェッチバッファセット信号PBSETと出力セレクタ11の出力選択信号OPSELを出力する論理ブロックである。信号OPSELはプリフェッチで先読みする1キャッシュラインのデータ個数に対応して0から3の4つの値を持ち、信号HITがネゲートしている場合0を出力する。また、信号HITがアサートしている場合、アドレスバスADDRの下位4ビットをデコードした結果を出力する。同様に、プリフェッチバッファセット信号PBSETも、0から3の4つの値を持ち、状態信号STの値により、状態管理部52が第4図の状態102である場合は1、状態管理部52が第4図の状態103である場合には2、状態管理部52が第4図の状態104である場合は3、そしてそれ以外の状態の場合には0をアサートする。

第5図は、メモリシーケンサ4の動作を状態遷移図として示したものである。状態110はアイドル状態であり、プリフェッチ状態管理部5

からの起動信号REQを待っている状態を示す。状態111は、行アドレスアクセス状態を示し、CPU1からアクセスされたアドレスに対応するDRAM7のRASアドレスをアドレスバスAに出力し、行アドレスセレクト信号RAS_をアサートする状態である。状態112は、1回目の列アドレスアクセス状態を示し、CPU1からアクセスされたアドレスに対応するDRAM7のCASアドレスをアドレスバスAに出力し、列アドレスセレクト信号CAS_をアサートする状態である。状態113, 114, 115は、それぞれプリフェッチにより先行して行う2回目, 3回目, 4回目の行アドレスアクセス状態を示している。メモリーセンサ4の初期状態は状態110である。状態110から状態111への遷移条件は、起動信号REQのアサートである。これによりDRAM7へのアクセスが開始される。

状態111, 状態112, 状態113, 状態114, 状態115から次の状態に遷移する遷移条件は、DRAM7のアクセス時間で決定され、DRAM7のアクセス時間が経過する毎に次の状態に遷移する。特に状態112においては、DRAM7のアクセス時間が経過した時に、プリフェッチアクセス信号PRFがアサートしていれば状態112から状態113へ遷移し、ネゲートであれば状態112から状態110へ遷移する。即ち、DRAM7からデータを1つアクセスした後、プリフェッチが指示されていれば、引き続き同じRASアドレスの下で先読み対象となるデータのCASアドレスを出力して、1キャッシュライン分のデータに対し連続してアクセスすることになる。なお、データバリッド信号DVは、CASアドレスが出力されDRAM7から読み出されたデータが確定して1データ分のアクセスが完了する状態112, 113, 114, 115から次の状態への遷移の際にアサートされる。

第3図に第1図に示すメモリコントローラ2の動作を示したタイミングチャートを示す。第1図のCPU1及びメモリコントローラ2は、第1図には図示されていないクロック信号CLKに同期して動作するものとし、CPU1のCS0_によって選択されるDRAMチップのアドレス空間に対応する領域(以下、CS0_領域と呼ぶ。他も同様である)は、プリフェッチ禁止モード、CS1_領域はプリフェッチ可能モードに設定しているものとする。

はじめに、CPU1は、CS0_領域のアドレスADDR1にアクセスするものとする。この場合、BS_、CS0_をアサートし、ADDRにはアドレスADDR1を出力する。メモリコントローラ2のプリフェッチ状態管理部5は、ADDR1のデータが準備できるまで、即ちデータバスDAT上でデータが確定するまでWAIT_をアサートする。同時にメモリシーケンサ4にREQをアサートして、アクセスの発生を通知する。この時、CS0_領域は、プリフェッチ禁止モードに設定しているので、プリフェッチアクセス信号PRFはアサートしない。メモリシーケンサ4は、CPU1からアクセスされたアドレスADDR1に対応する行アドレスR1をアドレスバスAに出力し、RAS_をアサートする。次に、ADDR1の列アドレスC1をアドレスバスAに出力し、CAS_をアサートしてDRAM7に対するアクセスアドレスを確定する。このメモリコントローラ2の動作によりDRAM7はADDR1に対応するデータD1をメモリデータバスDに出力する。そこでメモリシーケンサ4はメモリデータバスDにデータD1が出力されたタイミングで、フェッチ状態管理部6にデータバリッド信号DVをアサートする。

プリフェッチ状態管理部5では、データバリッド信号DVがアサートされたことにより、ウェイト信号WAIT_をネゲートし、セレクト

11はCPU1のプロセッサデータバスDATに、メモリデータバスDに出力されているデータD1を出力する。

次に、CPU1がCS1__領域のアドレスADDR5にアクセスするものとする。CS1__領域はプリフェッチ可能モードに設定しているので、プリフェッチ状態管理部5はPRFをアサートする。メモリシーケンサ4は、アドレスADDR5の対応する行アドレスR5をアドレスバスAに出力し、RAS__をアサートする。続いて、ADDR5に対応する列アドレスC5を出力しCAS__をアサートする。この時PRFがアサートされているため更に、アドレスバスAにC6、C7、C8と連続に出力し、CAS__も各列アドレスの出力に対応してアサート/ネゲートを同様に繰り返す。ここで、列アドレスC6は、列アドレスC5に1加算した値であり、C7はC6に1加算、C8はC7に1加算したものである。また、行アドレスR5と列アドレスC5に対応するデータがD5であり、行アドレスR5と列アドレスC6に対応するデータがD6であり、行アドレスR5と列アドレスC7に対応するデータがD7であり、行アドレスR5と列アドレスC8に対応するデータがD8である。そして、これらデータD5～D8が連続してメモリデータバスDに出力される。

また、CS1__領域をプリフェッチ可能モードに設定し、このCS1__領域に格納する命令やデータが、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッチを行うことが有効なデータか命令である場合、次に、ADDR5に続いてADDR6に対するアクセスが生じる可能性が高い。このADDR6の行アドレスはR5であり、列アドレスはC6である。つまり、ADDR6に対応するデータはD6であり、仮にCPU1が次にADDR6にアクセスすると、

このデータは既にD R A M 7 から読み出しプリフェッチバッファ6に格納してあるため、C P U 1 にウェイト信号W A I T _ をアサートすることなくプロセッサデータバスにD 6 を出力することが可能になる。さらに、C S 0 _ 領域に対しては、プリフェッチ動作を行わないため、メモリデータバスDにD 1 を出力してからD 5 を出力するまでの間、D R A M 7 はアイドル状態になる。つまり、新たに不要なメモリアクセスが生じないため、D R A M 7 の効率が向上し、システム全体のデータ処理能力が向上する。

以上の説明においては、チップセレクト信号はD R A M 7 を所定の領域に分割した際に、C P U 1 からのアクセスがこれら分割した領域のどこに対するアクセスなのかを識別する意味で用いてきたが、チップセレクト信号をその本来の意味で用いて、メモリを構成するD R A M チップ自体を区別するように用いてもよい。この場合、メモリチップ毎にプリフェッチの実行／非実行を制御することになる。これによりメモリ構成に応じたプリフェッチの制御を行うことが可能となる。

第6図は、第1図で説明したモードレジスタ8の設定を実際にアクセスしたアドレスを元に変更を行う機能を備えた実施の形態である。この実施の形態ではプリフェッチ状態管理部5の内部に、モードレジスタ8の値を変更するアクセス監視部70を備えている。アクセス監視部70は、チップセレクト信号C S 0 _ , C S 1 _ , C S 2 _ , バススタート信号B S _ , そして比較結果信号H I T を入力とし、出力としてチップセレクト信号C S 0 _ , C S 1 _ , C S 2 _ に対応するモードレジスタ8の値をそれぞれセットする信号であるSet 0 , Set 1 , Set 2 と、同様にリセットする信号であるRset 0 , Rset 1 , Rset 2 のいずれか1つをアサートする。

第7図はアクセス監視部70の内部の概要を示した図である。アクセス監視部70は、連続アクセス判定論理71とモードレジスタ選択論理72で構成される。第8図は連続アクセス判定論理71の動作を説明するための状態遷移図である。連続アクセス判定論理71の初期状態は、状態910である最初にアクセスが行われる1回目の状態である。次にCPU1からのアクセスが開始されると、前回アクセスしたアドレスと今回アクセスするアドレスとが下位4ビットを除いて一致していることを示しているHIT信号がアサートしていて、なおかつ、前回アクセスしたチップセレクト空間と同一チップセレクト信号がアサートしている場合、即ち最初のアクセスと同じキャッシュラインの範囲で続いてアクセスが行われた場合、状態911である連続2回目アクセス状態へ遷移する。この状態は、同一プリフェッチ範囲に対して連続して2回のアクセスが行われた状態である。この状態911において、更にCPU1が同一チップセレクト空間にアクセスし、同様に前回アクセスしたアドレスと今回アクセスするアドレスが下位4ビットを除いて一致していることを示すHIT信号がアサートしていると、状態912である連続3回目アクセス状態に遷移する。この状態は即ち連続3回のアクセスが同じプリフェッチ範囲に対して行われた状態である。また連続3回目アクセス状態に遷移する条件が成立しないCPU1のアクセスが生じる初期状態である状態910に遷移する。状態912の連続3回目アクセス状態においても、同様に、CPU1が同一チップセレクト空間にアクセスし、更に、HIT信号がアサートしていると、状態913である連続4回目アクセス状態に遷移し、一方、状態913に遷移しないCPU1のアクセスが生じると状態910に遷移する。

状態913では、CPU1がアクセスを開始すると状態910に遷移

する。しかし状態 913 から状態 910 へ遷移する時、連続アクセス判定論理 71 は、プリフェッチ可能信号 P F O N をアサートする。また、状態 911 又は状態 912 から状態 910 に遷移する時には、連続アクセス判定論理 71 は、プリフェッチ禁止信号 P F O F F をアサートする。即ち、1 キャッシュライン分のデータをアクセスしたとき、そのアクセスの全てが同一プリフェッチ範囲内に対するアクセスであれば、そのアクセスが行われたチップセレクト空間にはプリフェッチが有効なデータが格納されているものと判断して、連続アクセス判定論理 71 はプリフェッチ可能信号 P F O N をアサートするが、そうでなければ、そのチップセレクト空間にはプリフェッチが無効であると判断して、プリフェッチ禁止信号 P F O F F をアサートする。

モードレジスタ選択論理 72 は、前回アクセスしたチップセレクト信号を保持する機能を備え、P F O N 信号がアサートすると、保持しているチップセレクト信号に対応するモードレジスタ 8 のセット信号である Set 0, Set 1, Set 2 のいずれかをアサートする。また P F O F F 信号がアサートすると、保持しているチップセレクト信号に対応するモードレジスタ 8 のリセット信号である Rset 0, Rset 1, Rset 2 のいずれかをアサートする。なお、モードレジスタ 8 はセットされると、プリフェッチアクセス可能モードを示し、リセットするとプリフェッチアクセス禁止モードを示すものとする。この様に、モードレジスタ 8 の設定を実際にアクセスしたアドレスの状態に基づいて変更し、各チップセレクト空間に対してプリフェッチ処理の実行の有無を自動的に設定することができ。

以上の実施の形態ではいずれもメモリに D R A M を用いた場合を説明してきたが、本発明はメモリが D R A M に限定されるものではなく、

S D R A M, P B R A M等、一般の半導体メモリに代表される記憶素子に適用することができ、その場合の構成も本実施の形態と同様のものとなる。また、上述の実施の形態においてはアクセスを行うデータは同じD R A Mに連続して格納されているものとして説明してきたが、メモリはインターリーブ構成を採ることも可能である。この場合は、連続するアドレスを構成するメモリチップ同士のプリフェッチの実行／非実行が一致するようにモードレジスタ8を設定することにより実現できる。

前述の実施の形態では、いずれもプリフェッチの可否を識別するためにC P U 1からのチップセレクト信号を用いているが、システムによっては、C P Uがアクセスするアドレスの上位ビットによってチップセレクト信号が決まるため、C P U 1からプリフェッチ状態管理部5への入力はアドレスバスA D D Rとバススタート信号B S _だけでもかまわない。この場合アクセス判定部56では、アドレスバスA D D Rからのアドレスデータを元にチップセクタ空間を求める処理が必要となる。これにより、C P U 1の信号ピンの数を減らすことができる。しかし、アドレスバスA D D Rに出力されるアドレスデータが静定する時間とアドレスデータからチップセクタ空間を求めるための処理により遅延が発生してしまう。

また、前述の実施の形態では、プリフェッチを制御する領域の単位がチップセレクト空間と一致していたが、例えばプリフェッチ状態管理部5のモードレジスタ8を、各領域の境界を格納するアドレスレジスタとし、プリフェッチ状態管理部5に入力されるC P U 1のアクセスしたアドレスA D D Rの値をモードレジスタ8に格納された領域境界のアドレスと比較することにより、任意サイズの領域毎にプリフェッチを制御することができる。この場合、メモリを2つの領域に分ける場合はモード

レジスタ 8 が 1 つ、メモリを 3 つの領域に分ける場合はモードレジスタ 8 が 2 つと言うように、モードレジスタ 8 は分割する領域の数 - 1 個必要になり、またそれだけアドレス A D D R の値との比較が増えることになるため、アクセス判定部 5 6 における処理が複雑になり、またレジスタ数も増えることから回路規模が大きくなってしまう。

本発明においては、プリフェッチを行うことが有効なデータを格納するメモリ領域と、プリフェッチを行うと不必要なアクセスが多発するデータを格納するメモリ領域を、異なるチップセレクト空間に配置しているが、プリフェッチを行うことが有効なデータと、プリフェッチを行うと不必要なアクセスが多発するデータを分類しない場合、以下のようにプログラムを作成する。

まずプログラムの初期化処理の際に、全てのモードレジスタ 8 をプリフェッチアクセス可能モードに予め設定しておく。その後、処理対象となるデータがプリフェッチを行うと不必要なアクセスが多発するデータである処理を実行する場合、その処理を行う直前に、該当するデータを格納するアドレスを示すチップセレクト信号に対応するモードレジスタ 8 をプリフェッチアクセス禁止モードに設定する命令を記述しておく。更に、プリフェッチを行うと不必要なアクセスが多発するデータの処理が終了した時、先にプリフェッチアクセス禁止モードにセットしたモードレジスタ 8 の値をプリフェッチアクセス可能モードに戻す命令をその処理の終わりに記述しておく。これによりプログラムで明示的にプリフェッチを実行するか否かを記述することができる。

なお、以上の実施の形態においては、メモリコントローラ 2 は C P U 1 と独立して設けられていたが、メモリコントローラ 2 内のプリフェッチを制御するメモリシーケンサ 4、プリフェッチ状態管理部 5、プリフ

エッチバッファ 6, セレクタ 11 は、キャッシュメモリ 20 と主メモリ DRAM 7 の間にあればよく、キャッシュメモリ 20 とともに CPU 1 内に設けてもよい。逆に、キャッシュメモリ 20 は CPU に対して外付けで設けても良い。

以上説明したように本発明によって、プログラムやデータを格納する領域を分割し、各領域毎にプリフェッチを行うか否かを制御することが可能になる。よって、データアクセスにおいてもプリフェッチ機能を動作させると有効に動作するデータが格納された領域に対するアクセス場合にはプリフェッチ機能を動作させ、プリフェッチアクセス機能を動作させると不必要なデータをプリフェッチしてしまいメモリアクセス性能を低下させてしまうデータが格納された領域に対するアクセス場合には、プリフェッチ機能を抑止することにより、メモリアクセスの効率を向上することが可能になる。

産業上の利用可能性

以上のように、本発明にかかるメモリ制御装置は、データアクセスにおいてプリフェッチ機能を制御することにより、効率の良いメモリシステムとして有用であり、データ処理装置のメモリ制御に用いるのに適している。

請 求 の 範 囲

1. プロセッサとメモリの間に配置され、プロセッサからメモリへアクセスする際、先読みを行うプリフェッチ手段と、プリフェッチ結果を格納する記憶手段を備えたメモリ制御装置において、

前記メモリ制御装置は、プロセッサからメモリに対するアクセスの際にプリフェッチを行うか否かを決定するプリフェッチ管理手段を備え、

前記メモリのアドレス空間は複数の管理領域に分割され、

前記プリフェッチ管理手段は、前記各管理領域毎にプリフェッチを制御するためのレジスタを備え、

前記プロセッサから前記メモリに対してアクセスが行われた時、アクセスするアドレスが含まれる管理領域に対応する前記レジスタの値に基づき、当該アクセスにおいてプリフェッチを行うか否かを決定することを特徴とするメモリ制御装置。

2. 前記プロセッサは前記メモリの記憶素子を選択する選択信号を出力し、

前記メモリのアドレス空間は、該選択信号に対応して前記管理領域に分割され、

プロセッサからのアクセスにおいては、前記選択信号に基づき前記レジスタの値が決定されることを特徴とする請求の範囲第1項記載のメモリ制御装置。

3. 前記プリフェッチ管理手段は、同一の前記管理領域に対するプロセッサからのアクセスが所定の回数以上行われた場合、当該管理領域に対応するレジスタを当該管理領域に対してプリフェッチを行うように設定する手段を備えたことを特徴とする請求の範囲第1項記載のメモリ制御装置。

4. 前記プロセッサは前記メモリの記憶素子を選択する選択信号を出力し、

前記管理領域は、メモリを構成する記憶素子であり、

プロセッサからのアクセスにおいては、アクセス対象となる記憶素子に基づき前記レジスタの値が決定されることを特徴とする請求の範囲第1項記載のメモリ制御装置。

5. 前記プリフェッチ管理手段は、プロセッサからの所定の回数の連続したアクセスが同一のプリフェッチ範囲に対して行われた場合、当該プリフェッチ範囲を含む管理領域に対応する前記レジスタを当該管理領域に対してプリフェッチを行うように設定する手段を備えたことを特徴とする請求の範囲第1項記載のメモリ制御装置。

6. 演算処理装置とメモリを備えたプログラマブル・コントローラであって、当該演算処理装置から前記メモリへアクセスする際、先読みを行うプリフェッチ手段と、当該プリフェッチ手段によるプリフェッチ結果を格納する記憶手段を備えたプログラマブル・コントローラにおいて、

前記演算処理装置が前記メモリに対するアクセスの際に、前記プリフェッチ手段がプリフェッチを行うか否かを決定するプリフェッチ管理手段を備え、

当該プリフェッチ管理手段は、アドレス空間が複数の管理領域に分割された前記メモリの各管理領域毎にプリフェッチを制御するためのレジスタを備え、アクセスするアドレスが含まれる管理領域に対応する前記レジスタの値に基づき、当該アクセスにおいてプリフェッチを行うか否かを決定すること

を特徴とするプログラマブル・コントローラ。

7. プロセッサからメモリへアクセスする際、先読みを行うプリフェッ

チを行う機能を備えたメモリ制御装置におけるメモリ制御処理であって、以下の処理を備える。

前記プロセッサから前記メモリに対してアクセスが行われる時、

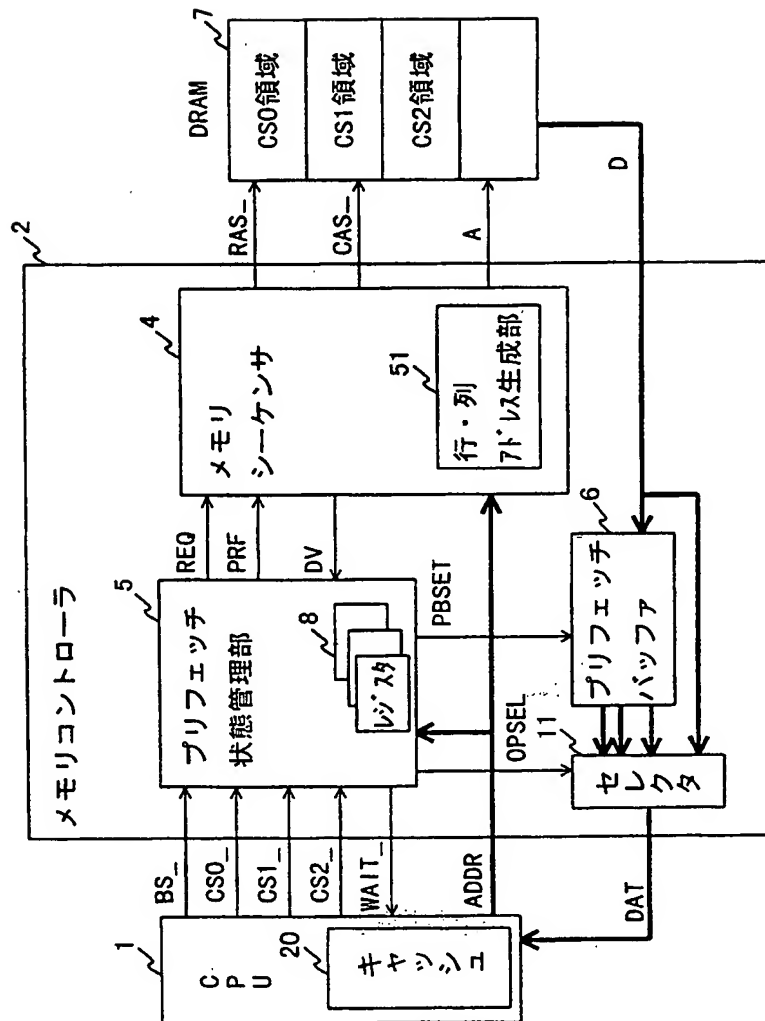
複数の管理領域にアドレス空間が分割されている前記メモリの内、当該アクセスが行われる管理領域を求める処理と、

前記メモリの管理領域別に、アクセスが行われた回数をカウントする処理と、

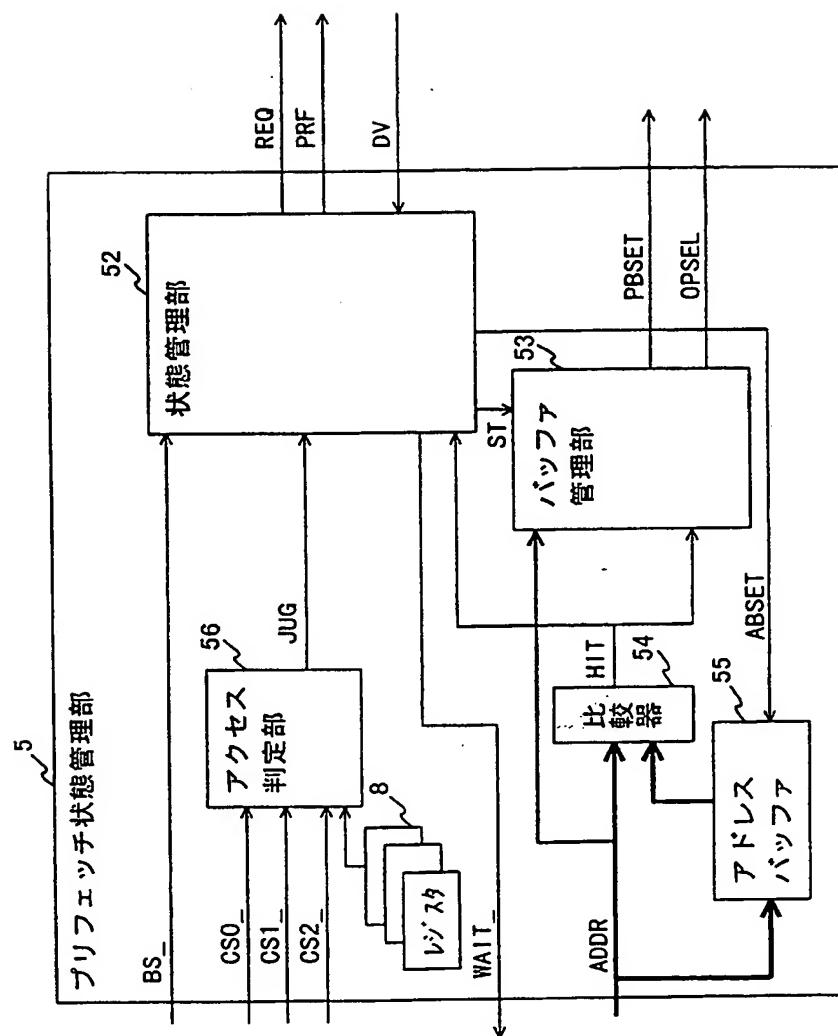
同一の前記管理領域に対するプロセッサからのアクセスが所定の回数以上行われたことを検出する処理と、

所定回数以上のアクセスが行われた当該管理領域に対応するレジスタの値を当該管理領域に対してアクセスが行われた際にはプリフェッチを行うように設定する処理。

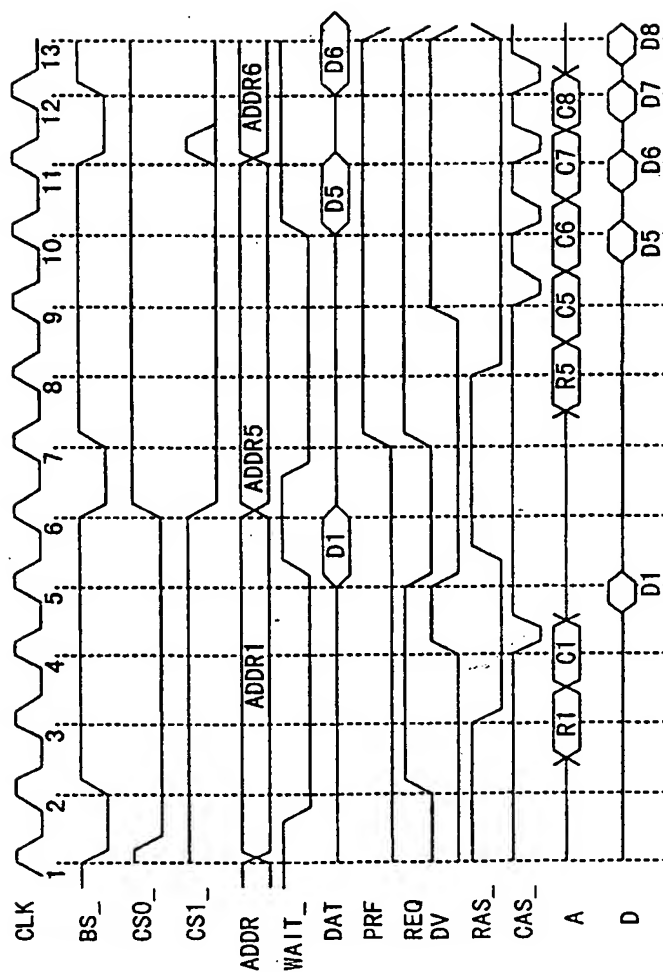
第1図



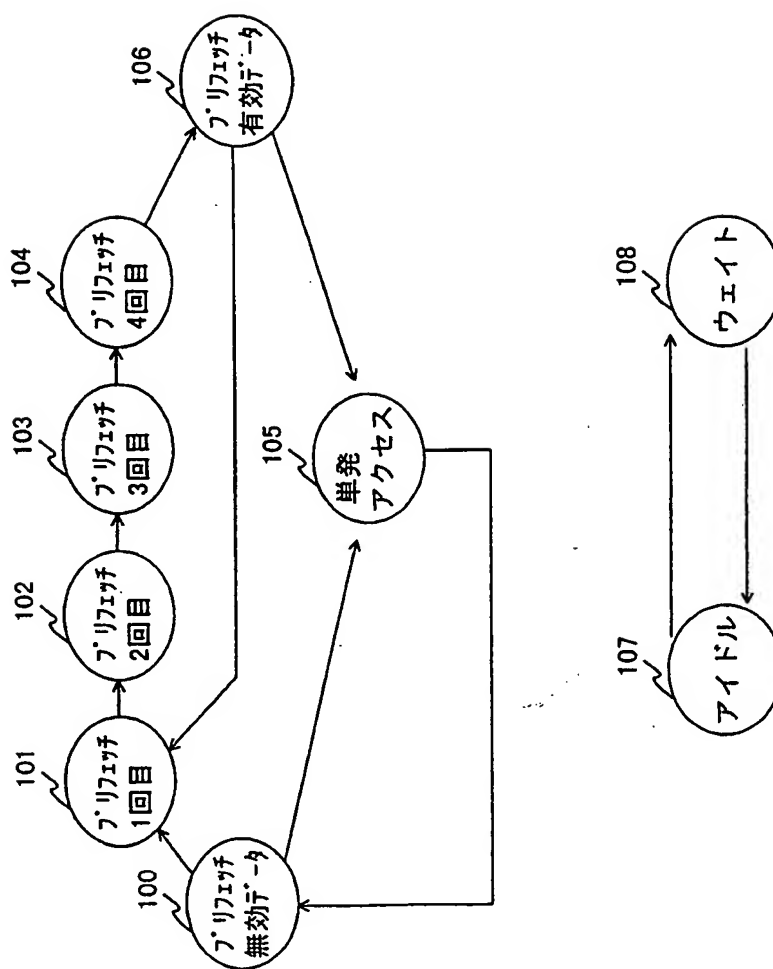
第2図



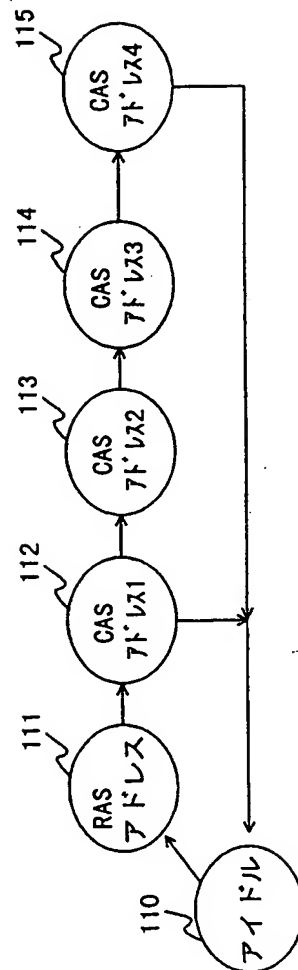
第3図



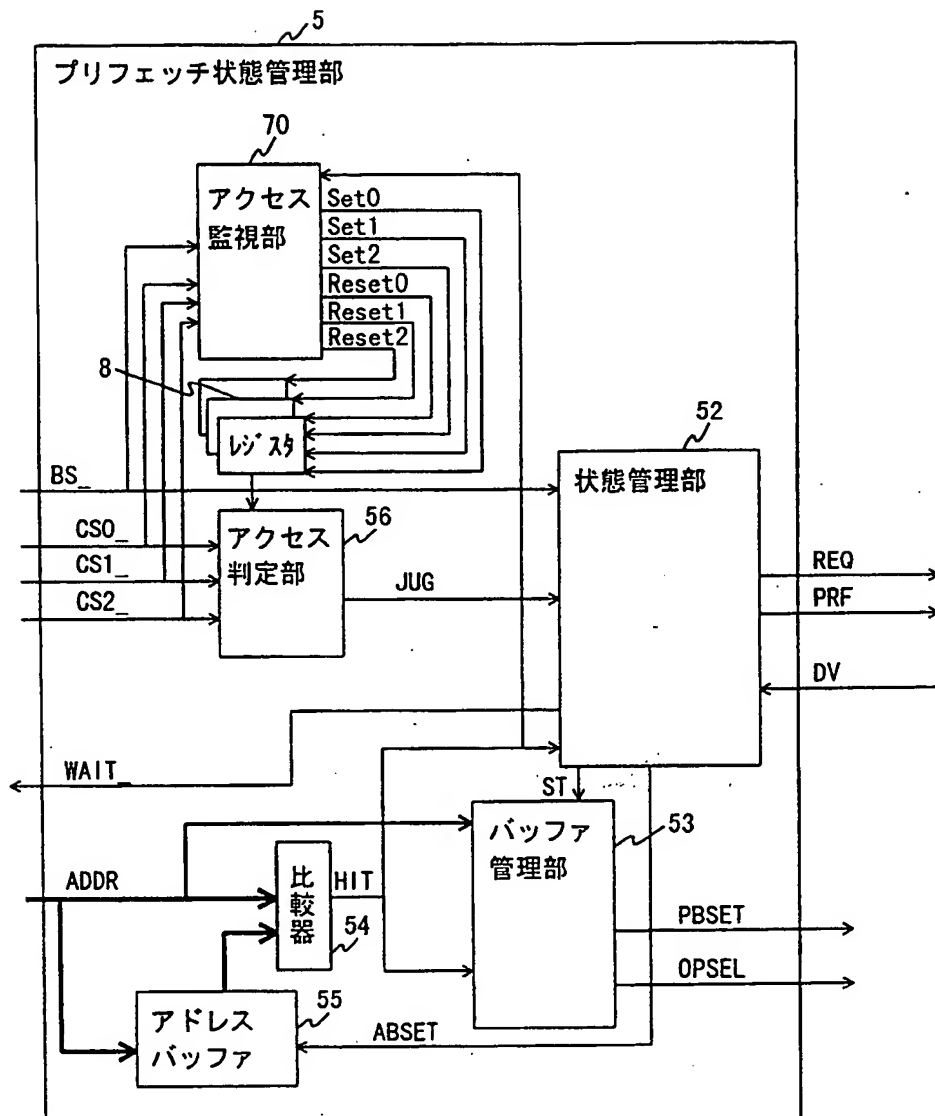
第4図



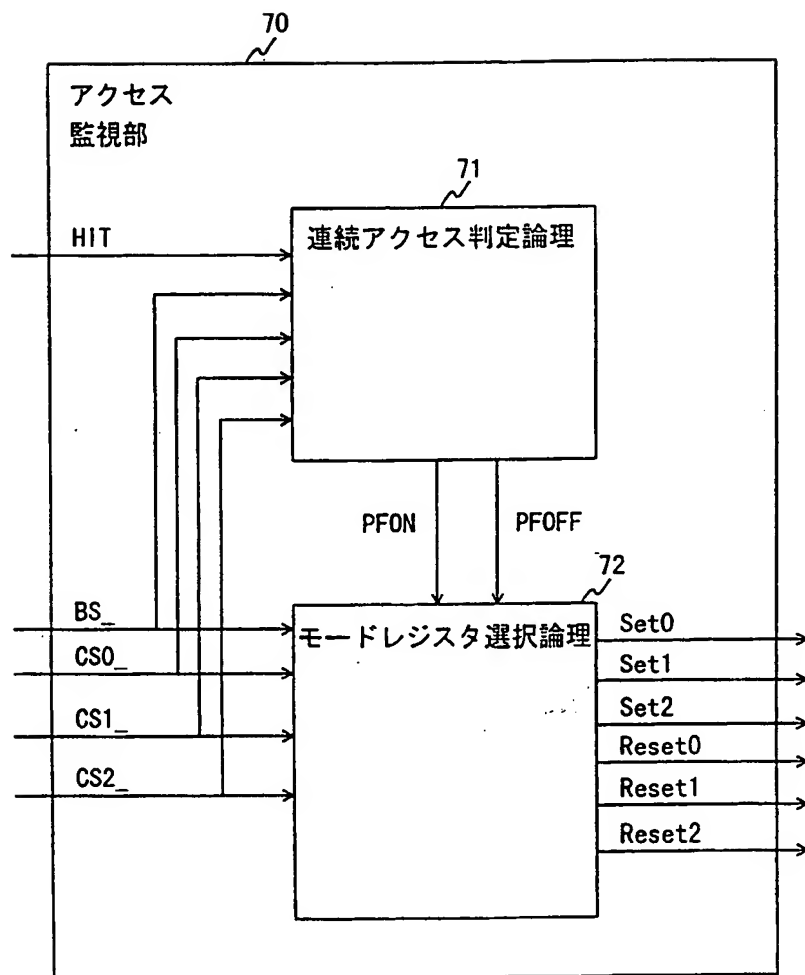
第5図



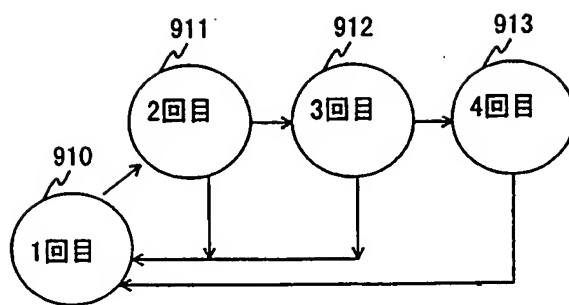
第6図



第7図



第8図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03669

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999

Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-295263, A (Mitsubishi Electric Corp.), 21 October, 1994 (21. 10. 94) (Family: none)	1, 2, 4, 6
A		3, 5, 7
X	JP, 4-326437, A (Mitsubishi Electric Corp.), 16 November, 1992 (16. 11. 92), Page 2, left column, line 13 to page 3, left column, line 2 ; Fig. 4 (Family: none)	1, 2, 4, 6
A		3, 5, 7
A	JP, 6-28180, A (Hitachi, Ltd.), 4 February, 1994 (04. 02. 94) & US, 5345560, A & DE, 4225228, A1	1-7
A	JP, 4-270431, A (Digital Equipment Corp.), 25 September, 1992 (25. 09. 92) & US, 5261066, A & US, 5317718, A & EP, 449540, A2 & KR, 9311345, B1	1-7
A	JP, 7-210454, A (Sharp Corp.), 11 August, 1995 (11. 08. 95) (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
6 October, 1999 (06. 10. 99)Date of mailing of the international search report
26 October, 1999 (26. 10. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03669

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-103169, A (NEC Corp.), 15 April, 1994 (15. 04. 94) (Family: none)	3, 5, 7
A	JP, 8-137754, A (Fuji Xerox Co., Ltd.), 31 May, 1996 (31. 05. 96), Page 9, left column, line 2 to right column, line 4 ; Fig. 7 (Family: none)	3, 5, 7

国際調査報告

国際出願番号 PCT/J P 99/03669

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ G06F12/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ G06F12/08-12/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 6-295263, A (三菱電機株式会社) 21. 10月. 1994 (21. 10. 94) (ファミリーなし)	1, 2, 4, 6 3, 5, 7
X A	J P, 4-326437, A (三菱電機株式会社) 16. 11月. 1992 (16. 11. 92) 第2頁左欄第13行~第3頁左欄第2行, 第4図 (ファミリーなし)	1, 2, 4, 6 3, 5, 7
A	J P, 6-28180, A (株式会社日立製作所) 4. 2月. 1994 (04. 02. 94) & US, 5345560, A & DE, 4225228, A1	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

6. 10. 99

国際調査報告の発送日

26.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 仁



5 N 9643

電話番号 03-3581-1101 内線 3585

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 4-270431, A (デジタル イクイブメント コー ポレイション) 25. 9月. 1992 (25. 09. 92) & US, 5261066, A & US, 5317718, A & EP, 449540, A2 & KR, 9311345, B1	1-7
A	JP, 7-210454, A (シャープ株式会社) 11. 8月. 1995 (11. 08. 95) (ファミリーなし)	1-7
A	JP, 6-103169, A (日本電気株式会社) 15. 4月. 1994 (15. 04. 94) (ファミリーなし)	3, 5, 7
A	JP, 8-137754, A (富士ゼロックス株式会社) 31. 5月. 1996 (31. 05. 96) 第9頁左欄第2行~第9頁右欄第4行, 第7図 (ファミリーなし)	3, 5, 7